

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-004383

(43)Date of publication of application : 10.01.1991

(51)Int.Cl. G06G 7/184

(21)Application number : 02-118832 (71)Applicant : PHILIPS
GLOEILAMPENFAB:NV

(22)Date of filing : 10.05.1990 (72)Inventor : MACBETH IAN C

(30)Priority

Priority number : 89 8910756

Priority date : 10.05.1989

Priority country : GB

(54) INTEGRATION CIRCUIT

(57)Abstract:

PURPOSE: To make the size of a return signal insensible to device matching reducing sensitivity of an integrator with a high Q value by making a delayed return current depend on a known value rather than depending on the device matching of a current mirror, that is, a current memory circuit, and generating the return current of a correct value.

CONSTITUTION: The current $i(n-1)$ in a period $-\phi$ of a sampling cycle $(n-1)$ is supplied to an input terminal 30, and the current $I_s(n-1)$ equal to $j+i(n-1)+i_f(n-1)$ is supplied to a first current memory cell consisting of transistors T31, 32, a capacitor C31 and a switch S31. When the period $-\phi$ ends, the switches S30 and S31 are opened, and the transistor T31 is used as a current source making flow the current $I_s(n-1)$, and a second current memory cell consisting of the transistor T33, the switch S32 and the capacitor C32 and a third current memory cell consisting of the transistor T36, the switch S33 and the capacitor C33 are used, and the return current $i_r(n)$ is equalized with the $I_s(n-1)$. In such a manner, the current $i_r(n)$ is approximated to a required value.

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁵

識別記号

F I

G 0 6 G 7/184

審査請求 未請求 請求項の数11 (全14頁) (16)

(21) 出願番号 特願平2-118832

(22) 出願日 平成2年(1990)5月10日

(31) 優先権主張番号 8 9 1 0 7 5 6 . 9

(32) 優先日 1989年5月10日

(33) 優先権主張国 イギリス (G B)

(71) 出願人 999999999

フィリップス エレクトロニクス ネム

ローゼ フェンノートシャップ

N L

(72) 発明者 イアン クレイグ マクベス

*

(54) 【発明の名称】積分回路

(57) 【要約】

【目的】 帰還電流の精度が多数のファクタによって損なわれるようになる等の問題点を解決する

【効果】 電流源の不整合によってオフセットエラーを発生しても、このエラーは、積分されることはない

【産業上の利用分野】 入力信号をサンプル化アナログ電流の形態で積分する積分回路に関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-4383

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月10日

G 06 G 7/184

D 6745-5B

審査請求 未請求 請求項の数 11 (全14頁)

⑬ 発明の名称 積分回路

⑰ 特 願 平2-118832

⑱ 出 願 平2(1990)5月10日

優先権主張 ⑲ 1989年5月10日 ⑳ イギリス(GB)㉑ 8910756.9

⑳ 発 明 者 イアン クレイグ マ イギリス国 ウェスト サセックス クロウレイ バウン
クベス ド ヒル フェルドブリッジ アベニュー 1㉒ 出 願 人 エヌ ベー フィリッ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス フルーイランベ バウツウエツハ1
ンファブリケン

㉓ 代 理 人 弁理士 杉村 暁秀 外5名

明 細 書

1. 発明の名称 積 分 回 路

2. 特許請求の範囲

1. 入力信号をサンプル化アナログ電流の形態で積分する積分回路であって、入力信号を受信する入力手段と、積分した入力信号を出力信号として発生する出力手段と、各サンプリング周期の第1部分の期間中、該サンプリング周期、又は以前のサンプリング周期の第2部分の期間中に入力端子に供給された電流に関連する電流を出力端子に発生する電流メモリセルと、該電流メモリセルの出力端子を前記積分回路の出力手段に結合させる結合手段と、各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に帰還信号を供給する帰還手段とを具備している積分回路において、前記帰還手段が、各サンプリング周期の第1部分の期間中に前記電流メモリセルに供給される信号電流を決定する電流決定手段と、これにより決定された電流に応じた帰

還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする積分回路。

2. 前記電流決定手段が、各サンプリング周期の第1部分の期間中前記電流メモリセルの入力端子に、該サンプリング周期、又は以前のサンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給された電流に等しい電流を発生する電流発生手段を具備していることを特徴とする請求項2に記載の積分回路。

3. 前記電流メモリセルが電界効果トランジスタを具備、該トランジスタのドレインとゲート電極との間にスイッチを接続し、該スイッチを各サンプリング周期の第2部分の期間中だけ閉じるようにしたことを特徴とする請求項2に記載の積分回路。

4. 前記トランジスタのゲートとソース電極との間に追加のコンデンサを接続したことを特

特開平3-4383(2)

徴とする請求項3に記載の積分回路。

5. 前記電流メモリセルの出力端子を前記積分回路の出力手段に結合させる結合手段が別の第2電流メモリセルを具えていることを特徴とする請求項1～4のいずれかに記載の積分回路。
6. 前記帰還電流供給手段が、各サンプリング周期の第2部分の期間中前記第2電流メモリセルの出力端子を第1電流メモリセルの入力端子に結合させる手段を具えていることを特徴とする請求項5に記載の積分回路。
7. 前記第1電流メモリセルの入力端子に第3電流メモリセルの入力端子を結合させ、該第3電流メモリセルが各サンプリング周期の第1部分の期間中前記第1電流メモリセルの入力端子に発生した電流と、前記第2電流メモリセルの出力端子に発生した電流との差電流を受電し、この差電流を各サンプリング周期の第2部分の期間中前記第1電流メモリセルの入力端子に供給するようにしたことを特徴

とする請求項6に記載の積分回路。

8. 前記第2電流メモリセルが別の第2出力端子も有し、該第2出力端子が各サンプリング周期の第1部分の期間中、第1出力端子における電流の所定比率の電流を供給し、この電流を前記第3電流メモリセルの入力端子に供給するようにしたことを特徴とする請求項7に記載の積分回路。
9. 前記入力信号にバイアス電流を加える手段及び前記帰還及び出力信号から適当な比率のバイアス電流を差引く手段も設けて、双方向入力電流を積分し、且つ双方向出力電流を発生し得るようにしたことを特徴とする請求項1～8のいずれかに記載の積分回路。
10. 前記信号電流が一極性の電界効果トランジスタによってのみ流れるようにしたことを特徴とする請求項1～9のいずれかに記載の積分回路。
11. 前記信号電流が n チャネル電界効果トランジスタによってのみ流れるようにしたことを特徴とする請求項10に記載の積分回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、入力信号をサンプル化アナログ電流の形態で積分する積分回路であって、入力信号を受信する入力手段と、積分した入力信号を出力信号として発生する出力手段と、各サンプリング周期の第1部分の期間中、該サンプリング周期、又は以前のサンプリング周期の第2部分の期間中に入力端子に供給された電流に関連する電流を出力端子に発生する電流メモリセルと、該電流メモリセルの出力端子を前記積分回路の出力手段に結合させる結合手段と、各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に帰還信号を供給する帰還手段とを具えている積分回路に関するものである。

〔従来の技術〕

上述した種類の積分回路は、1989年2月に開催された「第17回電気技術者学会」(The Institution of Electrical Engineers on 17th)に提出されたジェー・ビー・ヒューズ(J. B. Hughes)、エヌ・

シー・バード(N. C. Bird)及びアイ・シー・マクベス(I. C. Macbeth)による論文“Switched Currents - A New Technique for Analogue Sampled-Data Signal Processing”に発表されている。

第1図は冒頭にて述べたような積分回路を示し、又第2図は第1図の回路におけるスイッチを動作させるのに用いるクロック波形を示している。

第1図に示した積分回路は電流源2と n チャネル電界効果トランジスタT1のドレイン電極との接続点に接続する入力端子1を有している。電流源2の他端は正の電源ライン3に接続し、トランジスタT1のソース電極は負の電源ライン4に接続する。トランジスタT1のドレイン電極は、そのゲート電極とスイッチS1の一端とに接続する。スイッチS1の他端はコンデンサC1と n チャネル電界効果トランジスタT2のゲート電極との接続点に接続する。トランジスタT2のソース電極及びコンデンサC1の他端は負の電源ライン4に接続する。トランジスタT2のドレイン電極は p チャネル電界効果トランジスタT3のドレイン電極に接続し、トランジ

特開平3-4383(3)

スタT3のソース電極は正の電源ライン3に接続する。トランジスタT3のドレイン電極はそのゲート電極とスイッチS2の一端とに接続する。スイッチS2の他端はpチャネル電界効果トランジスタT4のゲート電極とコンデンサC2との接続点に接続する。トランジスタT4のソース電極及びコンデンサC2の他端は正の電源ライン3に接続する。トランジスタT4のゲート電極はpチャネルに電界効果トランジスタT6のゲート電極にも接続し、このトランジスタT6のソース電極を正の電源ライン3に接続する。トランジスタT4のドレイン電極はnチャネル電界効果トランジスタT7のドレイン電極に接続し、トランジスタT7のソース電極は負の電源ライン4に接続する。トランジスタT7のドレイン電極は帰還ライン10を介してトランジスタT1のドレイン電極にも接続する。電流源9を正の電源ライン3とnチャネル電界効果トランジスタT10のドレイン電極との間に接続し、トランジスタT10のソース電極は負の電源ライン4に接続する。トランジスタT10のドレイン電極は、そのゲート電極と、ト

ランジスタT7のゲート電極と、nチャネル電界効果トランジスタT9のゲート電極とに接続する。トランジスタT9のソース電極は負の電源ライン4に接続すると共に、そのドレイン電極はトランジスタT6のドレイン電極と出力端子7とに接続する。

第1図に示す回路は次のように作動する。入力端子1に供給される電流*i*はサンプル化電流であり、これは各サンプリング周期中はほぼ一定であるが、順次のサンプリング周期にて値が変化して連続アナログ信号のようになって取出される。トランジスタT4とT7によりそれぞれ発生される電流の差である帰還電流*i_r*は帰還路10に発生し、又トランジスタT6とT9によりそれぞれ発生される電流の差である出力電流*i_o*は出力端子7に発生する。電流源2及び9は、いずれもバイアス電流*j*を発生する。トランジスタT3、T4及びT6により伝導される電流比は1:B:Aとなり、又トランジスタT10、T9及びT7により伝導される電流比は1:A:Bとなるように構成する。スイッチS1は各サンプリング周期の一部の期間φの間は閉じ、又スイ

ッチS2は各サンプリング周期の非重畳部分の期間φの間閉じるようにする。

サンプリング周期(n-1)(第2図参照)の内のφの期間中には電流*i*(n-1)が入力端子1に供給され、この電流は電流源2によって発生されるバイアス電流*j*とライン10における帰還電流*i_r*と相俟って第1メモリセルの入力端子に供給される。この結果、トランジスタT2により次式にて表わされる電流*i₂*が発生する。

$$i_2 = i(n-1) + j + i_r$$

ここに、 $i_r = i_o(n-1) B/A$ であり、従って*i₂*は次式の如く表わされる。即ち、

$$i_2 = i(n-1) + j + i_o(n-1) B/A$$

サンプリング周期nのφ部分の期間中にはスイッチS1が開くが、電流*i₂*の値はコンデンサC1の電荷によって以前の値に維持される。従って、電流*i₂*= $i(n-1) + j + i_o(n-1) B/A$ が第2メモリセルの入力端子に供給され、スイッチS2が閉じると、電流*i₁*がトランジスタT4により発生し、又電流*i₁*がトランジスタT6により発生する。電流*i₁*は*i₂*に

等しく、又電流*i₁*は*Ai₂*に等しい。従って、サンプリング周期nの期間中の電流*i₁*は次式によって表わされる。

$$i_1(n) = A[i(n-1) + j + i_o(n-1) B/A]$$

電流*i_o*(n)は*i₁*(n)-*Aj*によって与えられる。

従って、

$$\begin{aligned} i_o(n) &= A[i(n-1) + A] + A i_o(n-1) B/A - A j \\ &= A i(n-1) + B i_o(n-1) \end{aligned}$$

Z領域(Dメイン)への変換をすると、

$$i_o(z) = A i(z) z^{-1} + B i_o(z) z^{-1}$$

となり、このために次式が成立する。

$$H(z) = \frac{i_o(z)}{i(z)} = \frac{A z^{-1}}{1 - B z^{-1}}$$

$$\text{連続的な時間損失性積分器を } H(s) = \frac{1}{s + \sigma \tau}$$

により説明する。順方向オイラー変換

$$S \rightarrow \frac{1}{T} \cdot \frac{1 - z^{-1}}{z^{-1}} \text{ を用いると次式が成立する。}$$

$$H(z) = \pm \frac{T}{\tau} \frac{z^{-1}}{1 - \frac{\tau - \sigma T}{\tau} z^{-1}}$$

特開平3-4383(4)

即ち、 $A = T/\tau$ 及び $B = \frac{\tau - aT}{\tau}$

従って、 $B = 1$ は $a = 0$ に相当し、これは無損失積分である。第1図に示した積分器は、入力端子1をトランジスタT1のドレイン電極に接続する代わりにトランジスタT2のドレイン電極に接続することにより逆方向オイラー変換に従って積分処理をすべく変更することができる。

(発明が解決しようとする課題)

特願昭63-25704号明細書(特開平1-196911号公報)の第20図に記載されたこの積分回路には種々の欠点がある。この積分回路は、適宜に作動させる際、前のサンプリング周期におけるトランジスタT1のドレイン電極に供給される電流の正しいレプリカである帰還電流 i_r (バイアス電流 I で相殺)に依存するようになる。しかし、この帰還電流の精度は多数のファクタによって損なわれるようになる。即ち、先ず第1に、帰還ループの利得が1以上となる場合にはシステムが不安定となる。逆に利得が1以下となる場合には積分器は損

なる。

本発明は、これら欠点の1つ以上による影響を除去するようにした積分回路を提供することをその目的とする。

(課題を解決するための手段)

本発明は入力信号をサンプル化アナログ電流の形態で積分する積分回路であって、入力信号を受信する入力手段と、積分した入力信号を出力信号として発生する出力手段と、各サンプリング周期の第1部分の期間中、該サンプリング周期、又は以前のサンプリング周期の第2部分の期間中に入力端子に供給された電流に関連する電流を出力端子に発生する電流メモリセルと、該電流メモリセルの出力端子を前記積分回路の出力手段に結合させる結合手段と、各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に帰還信号を供給する帰還手段とを具備している積分回路において前記帰還手段が、各サンプリング周期の第1部分の期間中に前記電流メモリセルに供給される信号電流を決定する電流決定手段と、これによ

り決定された電流に応じた帰還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする。

本発明は、遅延された帰還信号電流を、電流ミラー即ち電流メモリ回路の装置整合に依存せしめるよりも既知の値に依存せしめて正しい値の帰還電流を生ぜしめるようにすると云う事実に基づくものである。これがため、装置の不整合に対してスイッチング電流技術を用いて製造されたQ値の高い積分器の感度を減少せしめる装置整合に対し帰還信号の大きさを不感応とすることができる。

前記電流メモリセルが電界効果トランジスタを具備、該トランジスタのドレインとゲート電極との間にスイッチを接続し、該スイッチを各サンプリング周期の第2部分の期間中だけ閉じるようにする。

又、前記トランジスタのゲートとソース電極との間に追加のコンデンサを接続する。

電流メモリセルをかように構成することにより

失が大きくなり、従ってインバークは、カットオフ周波数がクロック周波数よりも著しく低くなる場合に利得が僅かに変化してもそのカットオフ周波数が高感度となるような1次の低域通過フィルタとなる。従って帰還ループの利得はトランジスタT1及びT2間の整合及びトランジスタT3及びT4間の整合によって直接決まるようになる。第2に、スイッチS1及びS2によって、信号を歪めると共に積分器に蓄積されてその出力側に直流オフセットを生ぜしめるクロックフィードスルーを導入するようになる。第3に、電流メモリセルの各々には、ダイオード接続されたトランジスタの $1/g_m$ と、スイッチの“オン抵抗値”と、出力トランジスタのゲート容量(及び所望に応じ追加のコンデンサ)とにより設定された時定数が存在する。この時定数により非直線性電圧領域で信号をフィルタ処理するため、信号歪みを生じるようになる。更に、この時定数と、サンプルされた信号の周波数により決まる遅延によって単位遅延 z^{-1} の実効値を変化し、これによりフィルタ特性を劣化するように

り決定された電流に応じた帰還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする。

本発明は、遅延された帰還信号電流を、電流ミラー即ち電流メモリ回路の装置整合に依存せしめるよりも既知の値に依存せしめて正しい値の帰還電流を生ぜしめるようにすると云う事実に基づくものである。これがため、装置の不整合に対してスイッチング電流技術を用いて製造されたQ値の高い積分器の感度を減少せしめる装置整合に対し帰還信号の大きさを不感応とすることができる。

前記電流メモリセルが電界効果トランジスタを具備、該トランジスタのドレインとゲート電極との間にスイッチを接続し、該スイッチを各サンプリング周期の第2部分の期間中だけ閉じるようにする。

又、前記トランジスタのゲートとソース電極との間に追加のコンデンサを接続する。

電流メモリセルをかように構成することにより

り決定された電流に応じた帰還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする。

本発明は、遅延された帰還信号電流を、電流ミラー即ち電流メモリ回路の装置整合に依存せしめるよりも既知の値に依存せしめて正しい値の帰還電流を生ぜしめるようにすると云う事実に基づくものである。これがため、装置の不整合に対してスイッチング電流技術を用いて製造されたQ値の高い積分器の感度を減少せしめる装置整合に対し帰還信号の大きさを不感応とすることができる。

前記電流メモリセルが電界効果トランジスタを具備、該トランジスタのドレインとゲート電極との間にスイッチを接続し、該スイッチを各サンプリング周期の第2部分の期間中だけ閉じるようにする。

又、前記トランジスタのゲートとソース電極との間に追加のコンデンサを接続する。

電流メモリセルをかように構成することにより

り決定された電流に応じた帰還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする。

本発明は、遅延された帰還信号電流を、電流ミラー即ち電流メモリ回路の装置整合に依存せしめるよりも既知の値に依存せしめて正しい値の帰還電流を生ぜしめるようにすると云う事実に基づくものである。これがため、装置の不整合に対してスイッチング電流技術を用いて製造されたQ値の高い積分器の感度を減少せしめる装置整合に対し帰還信号の大きさを不感応とすることができる。

前記電流メモリセルが電界効果トランジスタを具備、該トランジスタのドレインとゲート電極との間にスイッチを接続し、該スイッチを各サンプリング周期の第2部分の期間中だけ閉じるようにする。

又、前記トランジスタのゲートとソース電極との間に追加のコンデンサを接続する。

電流メモリセルをかように構成することにより

り決定された電流に応じた帰還電流を各サンプリング周期の第2部分の期間中前記電流メモリセルの入力端子に供給する帰還電流供給手段とを具備していることを特徴とする。

特開平3-4383(5)

スイッチが解放すると、トランジスタは、スイッチが閉成された際にこれに供給される場合と同一の電流を発生させる電流源として作用する。同一規格のトランジスタを用いるため、装置の不整合はなくなり、従ってサンプリング周期の第1期間中に発生した電流は、(スイッチからのクロックフィードスルー又はコンデンサ或いはゲート/ソース容量からの電荷の漏洩を無視する場合)サンプリング周期の前の第2期間中に供給された電流に等しくなる。

前記電流メモリセルの出力端子を前記積分回路の出力手段に結合させる結合手段が別の第2電流メモリセルを具えることができる。

これがため、各サンプリング周期内に出力が有効となる時間を決めることのできる有利な配置を提供することができる。

前記帰還電流供給手段が、各サンプリング周期の第2部分の期間中前記第2電流メモリセルの出力端子を第1電流メモリセルの入力端子に結合させる手段を具えることができる。

流メモリセルの入力端子に供給するようにする。

これがため損失の大きな積分器を形成することができる。その理由は第3電流メモリセルにより帰還信号を過剰に補正して(他の出力のスケールングファクタに依存し)出力電流の1部分のみを入力側に帰還し得るようになるからである。

前記入力信号にバイアス電流を加える手段及び前記帰還及び出力信号から適当な比率のバイアス電流を差引く手段も設けて、双方向入力電流を積分し、且つ双方向出力電流を発生し得るようにする。

これがため、単方向電流のみをモジュール内で処理して電流メモリ及び電流ミラー回路の入力ダイオードを逆バイアスしないようにして双方向入出力電流を受けて発生するスイッチド電流システム内で自己保持モジュールとして積分器を形成することができる。

積分回路は、単極性の電界効果トランジスタによってのみ信号電流を導通せしめるように構成することができ、且つ、nチャネル電界効果トラン

正しい電流比を選定する場合には、第2電流メモリセルの出力を帰還信号に対しほぼ正しい値とし、従って確実な帰還信号を提供することができる。

前記第1電流メモリセルの入力端子に第3電流メモリセルの入力端子を結合させ、該第3電流メモリセルが各サンプリング周期の第1部分の期間中前記第1電流メモリセルの入力端子に発生した電流と、前記第2電流メモリセルの出力端子に発生した電流との差電流を受電し、この差電流を各サンプリング周期の第2部分の期間中前記第1電流メモリセルの入力端子に供給するようにする。

これがため、第3電流メモリセルによって帰還路の第2電流メモリセルの出力を補正し、従って装置の不整合が存在する場合でも正しい帰還信号を供給することができる。

前記第2電流メモリセルが別の第2出力端子も有し、該第2出力端子が各サンプリング周期の第1部分の期間中、第1出力端子における電流の所定比率の電流を供給し、この電流を前記第3電

ジスタのみが信号電流を流すように構成することができる。

これがため、特願平 1-320,375号明細書に記載したように所定電流特性に対し、低い供給電圧を用いることができる。

(実施例)

第3図は本発明積分回路の第1例を示す。この積分回路の入力端子30をスイッチS30を経て電流源31の一端とnチャネル電界効果トランジスタT31のドレイン電極との接続点に接続する。この電流源31の他端を正の電源ライン32に接続し、電界効果トランジスタT31のソース電極を負の電源ライン33に接続する。又、トランジスタT31のドレイン電極をスイッチS31を経てそのゲート電極に接続すると共にコンデンサC31の一端に接続し、更にnチャネル電界効果トランジスタT32のゲート電極にも接続する。コンデンサC31の他端を負の電源ライン33に接続する。トランジスタT32のドレイン電極をpチャネル電界効果トランジスタT33のドレイン電極に接続し、このトランジスタ

特開平3-4383 (6)

T33 のソース電極を正の電源ライン32に接続する。トランジスタT33 のドレイン電極をそのゲート電極に接続すると共にスイッチS32 の一端に接続し、スイッチS32 の他端をコンデンサC32 と2個のpチャネル電界効果トランジスタT34 及びT35 のゲート電極との接続点に接続する。トランジスタT34 及びT35 の他端を正の電源ライン32に接続する。トランジスタT34 のドレイン電極をトランジスタT31 のドレイン電極に接続すると共にnチャネル電界効果トランジスタT36 のドレイン電極に接続する。トランジスタT36 のドレイン電極をスイッチS33 を経てそのゲート電極に接続すると共にコンデンサC33 の一端に接続する。トランジスタT32 及びT36 のソース電極並びにコンデンサC33 の他端を負の電源ライン33に接続する。トランジスタT34 のドレイン電極を出力端子34に接続すると共に電流源35を経て負の電源ライン33に接続する。コンデンサC31、C32及びC33 はそれぞれトランジスタT32、T34及びT36 のゲート/ソースキャパシタンスによって形成するか、又は追加の

コンデンサとすることができる。電流源31は電流 j を発生すると共に電流源35は電流 $A \cdot j$ を発生するように構成する。スイッチS30 及びS31 は各サンプリング周期の期間 ϕ 中閉成するが、スイッチS32 及びS33 は各サンプリング周期の期間 ϕ 中閉成するように構成する(第2図参照)。

本発明積分回路の作動は次の通りである。サンプリング周期 $(n-1)$ の期間 ϕ 中電流 $i(n-1)$ を入力端子30に供給し、従って $j+i(n-1)+i_r(n-1)$ に等しい電流 $I_s(n-1)$ がトランジスタT31及びT32、コンデンサC31並びにスイッチS31により形成された第1電流メモリセルに供給されるようになる。期間 ϕ の終了時にスイッチS30 及びS31 が開放してトランジスタT31 が電流 $I_s(n-1)$ を通す電流源となると共にトランジスタT32 にも $I_s(n-1)$ に等しい電流が流れるようになる。サンプリング周期 n の期間 ϕ 中スイッチS32及びS33 が閉成してトランジスタT34 に $j+i(n-1)+i_r(n-1)$ に等しい電流 $I_s(n)$ が流れるようになる。このトランジスタT34 はトランジスタT33、スイッチS32 及びコンデン

サC32 と相俟って第2電流メモリセルを構成する。しかし、実際には電流 I_s は、トランジスタT31及びT32 間並びにトランジスタT33 及びT34 間の各不整合と、スイッチS31 及びS32 のクロックフィードスルー効果とにより、電流 I_s に正確に等しくない。両トランジスタT31及びT32 は電流源として作用するため、電流 $I_s(n-1)$ 及び $I_s(n)$ の差電流と電流 i との和の電流が電流 $I_s(n)=I_s(n-1)-I_s(n)+i$ としてトランジスタT36 に流れるようになる。このトランジスタT36 はスイッチS33 及びコンデンサC33 と相俟ってエラー電流 $I_e(n)$ を記憶する第3電流メモリセルとして作用する。サンプリング周期 n の期間 ϕ 中電流 $i(n)$ が入力端子30に供給され、従って帰還電流 $i_r(n)$ は $I_s(n-1)-I_s(n)-I_e(n)$ に等しくなる。これがため、帰還電流 $i_r(n)$ は所望値に極めて近似し、トランジスタT31 及びT32 間並びにトランジスタT33 及びT34 間の整合に依存しなくなる。又、スイッチS31 及びS32 によるクロックフィードスルー効果は打消されるようになるが、第1図のスイッチ

S1及びS2によるクロックフィードスルー効果は蓄積されるようになる。帰還信号 i_r の精度は原理的には電流 I_s がトランジスタT36 により保持され得る精度に依存し、電流源S31 及びS35 間の不整合は積分されなくなる。その理由は、電流源31の影響による第2電流メモリセルの出力に存在するバイアス電流が、電流源31から取出された第3電流メモリセルの出力のバイアス電流成分によって打消されるようになる。これがため、電流源31及び35間の不整合によってオフセットエラーを発生しても、このエラーは、第1図の積分回路の場合のように積分されることはない。

第4図は、本発明による損失性積分器を示す回路図である。この積分器の入力端子41はスイッチS41を経て電流源42の一端とnチャネル電界効果トランジスタT41のドレイン電極との接続点に接続されている。電流源42の他端は正の電源ライン43に接続され、トランジスタT41のソース電極は負の電源ライン44に接続されている。トランジスタT41のドレイン電極はスイッチS42を経てその

特開平3-4383(7)

ゲート電極及びnチャネル電界効果トランジスタT42のゲート電極に接続されている。トランジスタT42のゲート電極と負の電源ライン44との間にはコンデンサC42が接続されている。トランジスタT42のドレイン電極はpチャネル電界効果トランジスタT43のドレイン電極に接続され、そのソース電極は正の電源ライン43に接続されている。トランジスタT43のドレイン電極はそのゲート電極及びスイッチS43の一端に接続され、スイッチS43の他端は他の3つのpチャネル電界効果トランジスタT44、T45及びT47のゲート電極に接続されている。トランジスタT41のゲート電極と正の電源ライン43との間にはコンデンサC43が接続されている。トランジスタT44のドレイン電極はトランジスタT41のドレイン電極及びnチャネル電界効果トランジスタT46のドレイン電極に接続されている。トランジスタT46のドレイン電極はスイッチS44を経てそのゲート電極に接続され、そのゲート及びソース電極間にコンデンサC44が接続されている。トランジスタT42及びT46のソー

ス電極は負の電源ライン44に接続されている。トランジスタT44のドレイン電極はスイッチS45を経てトランジスタT45のドレイン電極と電流源45の一端との接続点に接続され、この電流源45の他端は負の電源ライン44に接続されている。トランジスタT47のドレイン電極は出力端子47に接続され且つ電流源46を経て負の電源ライン44に接続されている。トランジスタT44、T45及びT47のソース電極は正の電源ライン43に接続されている。

トランジスタT41及びT42はゲート幅/長さの比が同じとなり、これらトランジスタ間に1:1の電流比が存在するように構成する。同様に、トランジスタT43及びT44もゲート幅/長さの比が同じとなるように構成する。しかし、トランジスタT45のゲート幅/長さの比はトランジスタT43のゲート幅/長さの比の(1-B)倍となるように構成し、トランジスタT47のゲート幅/長さの比はトランジスタT43のゲート幅/長さの比のA倍となるように構成する。電流源42は電流*j*を生じるように構成すると、電流源45は電流(1-B)*j*を生じ、

電流源46は電流*Aj*を生じる。スイッチS41及びS42は各サンプリング周期の一部 ϕ 中閉成され、スイッチS43、S44及びS45は各サンプリング周期の一部 ϕ 中閉成される。

この場合の動作原理は、各サンプリング周期の ϕ 部分中トランジスタT45により追加の電流(1-B)*j*が生ぜしめられ、この電流がスイッチS45により第3電流メモリセル(トランジスタT46、スイッチS44及びコンデンサC44)の入力端子に供給されるという点を除いて第3図につき説明した理想的な積分器の動作原理に類似している。この電流はサンプリング周期の ϕ 部分中はスイッチS45が開放しているために抑止され、従って帰還電流は $B \cdot i_i$ となる。この電流 $B \cdot i_i$ を生ぜしめるためには、トランジスタT43及びT45間を正しく整合させ、バイアス電流(1-B)*j*を正しく除去する必要がある。しかし、これらに誤差があると、ファクターBよりも通常著しく小さなファクター(1-B)が影響を受ける。Bが1に近いと、第1図に示す方法に対する主たる問題が生じる。

電流源45及び46は入力枝路(ブランチ)がトランジスタT46より形成される電流ミラー回路或いは電流メモリ回路と置き換えることができる。出力枝路におけるトランジスタは1:1~B:Aの電流比を生じるような寸法にする。このようにすることにより、帰還信号の上述した補正によって補償されないトランジスタT43、T45及びT47間の不整合誤差が減少するという利点が得られる。その理由はこの場合、トランジスタT46中の誤差電流が出力枝路に鏡像関係で流れるためである。

第5図は、第4図に示す理想的な積分器の例に類似する形態の本発明による一般化した損失正積分器の第1実施例を示しており、等価な素子には同じ符号を付した。第5図に示す実施例は追加の入力端子48を有し、この入力端子は第1スイッチS48を経て電流源42とトランジスタT41のドレイン電極との接続点に接続され、且つ第2スイッチS49を経てトランジスタT42及びT43のドレイン電極の相互接続点に接続されている。

動作中は電流*i*が端子41に供給され、一方電流

特開平3-4383 (8)

-iが端子48に供給される。スイッチS41は信号FE・ $\bar{\phi}$ (FEは順方向オイラー変換を表す)により閉じられ、スイッチS48及びS49は信号BE・ ϕ (BEは逆方向オイラー変換を表す)により閉じられる。BE=FE=1の場合、双一次積分器が形成される。サンプリング周期(n-1)の部分 ϕ 中、トランジスタT41を流れる電流I₁は

$$I_1 = j - i(n-1) + i_r$$

で与えられる。ここに、

$$i_r = \frac{i_o(n-1)}{A} - \frac{(1-B)i_o(n-1)}{A} = \frac{Bi_o(n-1)}{A}$$

である。従って、

$$I_1 = j - i(n-1) + \frac{B}{A} i_o(n-1)$$

である。サンプリング周期nの部分 ϕ の期間中、電流I₁は

$$i_r = I_1 - j - i(n) = i_o(n)/A$$

で与えられる。従って、

$$\frac{i_o(n)}{A} = j - i(n-1) + \frac{B}{A} i_o(n-1) - j - i(n)$$

のドレイン電極との接続点に接続されている。

動作中は電流iが入力端子41に供給され、電流-iが入力端子49に供給される。スイッチS41は信号FE・ $\bar{\phi}$ により閉じられ、スイッチS47は信号BE・ ϕ により閉じられる。BE=FE=1の場合、双一次積分器が形成される。双一次積分器としての動作は以下の通りである。サンプリング周期(n-1)の部分 ϕ 中、出力電流i_o(n)は

$$i_o(n) = A(I_1 - j)$$

で与えられる。ここに、I₁はトランジスタT41を流れる電流である。また、

$$i_r(n-1) = \frac{i_o}{A}(n-1) - i(n-1)$$

である。サンプリング周期nの部分 ϕ 中、帰還電流i_r(n)は

$$\begin{aligned} i_r(n) &= i_r(n-1) - \frac{1-B}{A} i_o(n-1) \\ &= \frac{B}{A} i_o(n-1) - i(n-1) \end{aligned}$$

で与えられ、トランジスタT41を流れる電流I₁(n)は

が得られ、従って、

$$\frac{i_o(n)}{A} - \frac{B}{A} i_o(n-1) = i(n) - i(n-1)$$

従って、

$$i_o(z)/A - \frac{B}{A} i_o(z)z^{-1} = -j(z) - i(z)z^{-1}$$

従って、損失性双一次積分に対する式

$$H(z) = \frac{i_o(z)}{i(z)} = -A \frac{1+z^{-1}}{1-Bz^{-1}}$$

が得られる

帰還信号i_r及び出力信号i_oは各サンプリング周期の部分 ϕ 中正しい値をとり、このサンプリング周期の残りの間この値を保つ。従って、出力信号は積分回路の設定時間の殆どに対し有効となる。

第6図は、第4図に示す理想的な積分器の例に類似する形態の本発明による一般化した損失性積分器の第2実施例を示し、この第6図においても等価な素子に同一符号を付した。第6図に示す実施例は追加の入力端子49を有し、この入力端子はスイッチS47を経て電流源42とトランジスタT41

$$I_1(n) = j - i(n) + i_r(n)$$

$$= j - i(n) + \frac{B}{A} i_o(n-1) - i(n-1)$$

で与えられる。サンプリング周期nの部分 ϕ 中は、出力電流i_o(n)は

$$\begin{aligned} i_o(n) &= A[I_1(n) - j] \\ &= A[-i(n) + \frac{B}{A} i_o(n-1) - i(n-1)] \end{aligned}$$

で与えられる。従って、

$$i_o(n) - Bi_o(n-1) = -A[i(n) - i(n-1)]$$

となる。これをz領域に変換すると、

$$i_o(z)(1-Bz^{-1}) = -Ai(z)(1+z^{-1})$$

となり、損失性双一次積分器に対する式である

$$H(z) = \frac{i_o(z)}{i(z)} = -A \cdot \frac{1+z^{-1}}{1-Bz^{-1}}$$

が得られる。

この場合、出力信号i_oは各サンプリング周期の ϕ 部分まで有効にならずに、1つの差分入力のみが必要とされる。

特開平3-4383 (9)

第7図は、第6図につき説明した2つの相互接続された積分器を用いた、完全に平衡化される損失性双一次積分器を示す。この積分器は第1入力端子141を有し、この入力端子はスイッチS141を経て電流源142の一端（この電流源の他端は正の電源ライン143に接続されている）とnチャネル電界効果トランジスタT141のドレイン電極との接続点に接続され、且つスイッチS241を経て電流源242の一端（この電流源の他端は正の電源ライン143に接続されている）とnチャネル電界効果トランジスタT241のドレイン電極との接続点に接続されている。第2入力端子149はスイッチS149を経て電流源142とトランジスタT141のドレイン電極との接続点に接続され、且つスイッチS249を経て電流源242とトランジスタT241のドレイン電極との接続点に接続されている。トランジスタT141のドレイン電極はスイッチS142を経てそのゲート電極及びnチャネル電界効果トランジスタT142のゲート電極に接続されている。トランジスタT142のゲート及びソース電極間にはコンデンサC142

が接続されている。トランジスタT142のドレイン電極はpチャネル電界効果トランジスタT143のドレイン及びゲート電極に且つスイッチS143の一端に接続され、このスイッチの他端は他の4つのpチャネル電界効果トランジスタT144、T145、T147及びT150のゲート電極に接続されている。トランジスタT144のゲート及びソース電極間にはコンデンサC143が接続されている。トランジスタT144のドレイン電極はトランジスタT141のドレイン電極と、nチャネル電界効果トランジスタT146のドレイン電極と、スイッチS144の一端とに接続され、このスイッチの他端はトランジスタT146のゲート電極に接続されている。トランジスタT146のゲート及びソース電極間にはコンデンサC144が接続されている。

トランジスタT145のドレイン電極をnチャネル電界効果トランジスタT152のドレイン電極に接続すると共にスイッチS145を経てトランジスタT146のドレイン電極に接続する。トランジスタT150のドレイン電極をnチャネル電界効果トランジスタ

T151のドレイン及びゲート電極に接続すると共にトランジスタT147のドレイン電極を出力端子147及びnチャネル電界効果トランジスタT153のドレイン電極に接続する。トランジスタT141、T142、T146、T152、T151及びT153のソース電極を負の電源ライン144に接続すると共にトランジスタT143、T144、T145、T150及びT147のソース電極を正の電源ライン143に接続する。

トランジスタT241のドレイン電極をスイッチS242を経てそのゲート及びnチャネル電界効果トランジスタT242のゲート電極に接続する。キャパシタC242をトランジスタT242のゲート及びソース電極間に接続する。トランジスタT242のドレイン電極をpチャネル電界効果トランジスタのドレイン及びゲート電極に接続すると共にスイッチS243を経て4個のpチャネルトランジスタT244、T245、T250及びT247のゲート電極に接続する。キャパシタC243をトランジスタT244のゲート及びソース電極間に接続する。トランジスタT244のドレイン電極をトランジスタT246及びT241のドレイン電極に

接続する。スイッチS244をトランジスタT246のゲート及びドレイン電極間に接続すると共に、キャパシタC244をそのゲート及びソース電極間に接続する。トランジスタT245のドレイン電極をnチャネル電界効果トランジスタT252のドレイン電極に接続すると共にスイッチS245を経てトランジスタT246のドレイン電極に接続する。トランジスタT250のドレイン電極をnチャネル電界効果トランジスタT251のドレイン及びゲート電極に接続すると共に、トランジスタT247のドレイン電極を出力端子247及びnチャネル電界効果トランジスタT253のドレイン電極に接続する。トランジスタT151、T252及びT253のゲート電極をトランジスタT152、T153及びT251のゲート電極と同様に相互接続する。トランジスタT243、T244、T245、T250及びT247のソース電極を正電源ライン143に接続すると共にトランジスタT241、T242、T246、T252、T251及びT253のソース電極を負電源ライン144に接続する。

トランジスタT141及びT142とキャパシタC142とが1:1の電流比を有する第1電流メモリセルを

特開平3-4383 (10)

構成し、トランジスタT143, T144, T145, T150及びT147とスイッチS143とキャパシタC143とが1 : 1 : $(1-B)/2 : 1 : A/2$ の電流比を有する第2電流メモリセルを構成し、トランジスタT241及びT242とスイッチS242とキャパシタC242とが1 : 1の電流比を有する第4電流メモリセルを構成し、トランジスタT243, T244, T245, T250及びT247とスイッチS243とキャパシタC243とが1 : 1 : $(1-B)/2 : 1 : A/2$ の電流比を有する第5電流メモリセルを構成する。トランジスタT146とスイッチS144とキャパシタC144とが第3電流メモリセルを構成すると共に、トランジスタT246とスイッチS244とキャパシタC244とが第6電流メモリセルを構成する。トランジスタT151, T253及びT252が1 : $A/2 : (1-B)/2$ の電流比を有する第1電流ミラー回路を構成すると共にトランジスタT251, T153及びT152が1 : $A/2 : (1-B)/2$ の電流比を有する第2電流ミラー回路を構成する。前例と同様に電流源142及び242は電流jを供給する。

当業者であれば明らかなように、第7図に示す

積分回路は第6図に示す積分器を2つ、差動電流を受信し発生するよう相互接続したものであり、同相モード歪みが最小になる。第6図の電流源45及び46は第1及び第2電流ミラー回路の適切な出力ブランチと置き換えてある。この回路の動作の解析は第6図につき説明した解析と同様に行なうことができる。

第8図は信号電流がnチャネル電界効果トランジスタのみを通過するようにした積分回路の実施例を示す。この積分回路は順方向オイラー変換を用いるが、逆方向オイラー及びバイリニア積分回路を当業者に明かなようにこの回路の適切な変更により構成することもできる。第8図に示す積分回路はスイッチS80を経て、他端が正電源ライン88に接続された電流源81とnチャネル電界効果トランジスタT81のドレイン電極との接続点に接続された入力端子80を具えている。スイッチS81をトランジスタT81のドレイン電極とのゲート電極及び他のnチャネル電界効果トランジスタT82のゲート電極との間に接続する。キャパシタC81

をトランジスタT82のゲート及びソース電極間に接続する。トランジスタT82のドレイン電極を電流源82を経て正電源ラインに接続すると共にnチャネル電界効果トランジスタT83のドレイン及びゲート電極に接続する。トランジスタT83のゲート電極をスイッチS83を経てnチャネル電界効果トランジスタT84のゲート電極に接続する。キャパシタC83をトランジスタT84のゲート及びソース電極間に接続する。トランジスタT84のドレイン電極をトランジスタT81のドレイン電極に、電流源83を経て正電源ライン88に、及びnチャネル電界効果トランジスタT85のドレイン電極にそれぞれ接続する。スイッチS85をトランジスタT85のドレイン及びゲート電極間に接続すると共に、キャパシタC85をそのゲート及びソース電極間に接続する。トランジスタT84のゲート電極を他の2つのnチャネル電界効果トランジスタT86及びT87のゲート電極に接続すると共に、トランジスタT86及びT87のドレイン電極をそれぞれ電流源86及び87を経て正電源ライン88に接続する。トラ

ンジスタT86のドレイン電極を出力端子85に接続すると共に、トランジスタT87のドレイン電極をスイッチS87を経てトランジスタT84のドレイン電極に接続する。トランジスタT81～T87のソース電極を負電源ライン89に接続する。

電流源81及び83は電流jを供給し、電流源82は電流2jを供給し、電流源86は電流Ajを供給し、電流源87は $(1-B)j$ を供給する。スイッチS80及びS81は各サンプリング周期の部分φ中閉じ、スイッチS83, S85及びS87は各サンプリング周期の部分φ中閉じる。

トランジスタT81及びT82とスイッチS81とキャパシタC81とを具える第1電流メモリセルは1 : 1の電流比を有する。トランジスタT83, T84, T86及びT87とスイッチS83とキャパシタC83とを具える第2電流メモリセルの電流比は1 : 1 : $A : (1-B)$ である。第3電流メモリセルはトランジスタT85とスイッチS85とキャパシタC85とを具える。

この回路の動作を、最初にこの回路が理想積分

特開平3-4383 (11)

器として動作し、即ちスイッチS87、電流源87及びトランジスタT87が省略されているものと仮定して説明する。

サンプリング周期 $(n-1)$ の部分 ϕ 中にトランジスタT81を流れる電流 i_1 は

$$i_1 = i(n-1) - i_r + j$$

で与えられ、さらに

$i(n-1)$ はサンプリング周期 $(n-1)$ における入力電流

$$i_r = i_o(n-1)/A$$

である。

サンプリング周期 n の部分 ϕ 中にトランジスタT83を流れる電流 i_s は

$$i_s = 2j - i_1 = i_s = \frac{i_o(n) + Aj}{A}$$

で与えられ、ここに、

i_s はトランジスタT84を流れる電流

$$i_o(n)/A + j = 2j - [i(n-1) - i_o(n-1)/A + j]$$

$$i_o(n) = -A[i(n-1) + i_o(n-1)]$$

である。これを z 領域に変換すると、

$$i_o(z) - i_o(z)z^{-1} = -A i(z)z^{-1}$$

$$H(z) = \frac{i(z)}{i_o(z)} = -\frac{Az^{-1}}{1-z^{-1}}$$

になる。

これは順方向オイラー積分器を表わす。

ここで第3電流メモリセルの作用を考察する。

各サンプリング周期の部分 ϕ 中、トランジスタT81は電流 $i(n-1) + i_r + j$ を発生する電流源であるとみなせる。誤差電流 i_r を発生する装置間の不整合は第3電流メモリセルにより補償される。これは、誤差電流がトランジスタT85へと流れ、スイッチS85が部分 ϕ の終了端に開くときこの誤差電流が帰還電流から差し引かれるためである。

逆方向オイラー及びバイリニア積分器をこの技術を用いて構成し得ること明らかであり、また $B(i_s - j)$ を帰還して $(1-B)(i_s - j)$ を差し引くことにより損失性積分器を構成することもできる。これはスイッチS87、トランジスタT87及び電流源87により電流 $(1-B)(i_s - j)$ をサンプリング周期の ϕ 部分中に第3電流メモリセルに蓄積された電流が

ら差し引くことにより、及び従って ϕ 部分中に電流 $B(i_s - j)$ を帰還することにより達成される。また、これらの全ての積分器を完全な差動形態にすることは当業者に明らかな方法によって実現することができる。完全な差動バイリニア積分器の一例については本願人に係る同時係属出願の特願平1-320375号を参照されたい。全 n チャネルの回路の代りに全 p チャネルの回路を、極性を逆にする以外は略々同一の形態で構成することもできること明らかである。

図示の電流メモリセル及び電流ミラー回路はそれらの最も簡単な基本形を示した。改善された特性が必要とされる場合には種々の高性能回路を用いることができる。この高性能回路としては、カスコード接続電流ミラー又は電流メモリを用いるもの、ソース縮退抵抗を用いるもの、ダイナミック素子整合を用いるもの、及び特に入力端子で電流加算が生ずる場合には電流コンベヤ又は電流コンベヤ型電流メモリセルを用いるものを含む。これらの技術は本願人に係る同時係属出願の特願昭

63-232151 (特開平1-102798号)、特願昭63-228866号 (特開平1-102797号)、特願昭63-322205号 (特開平1-202012号)、特願昭63-325704号 (特開平1-196911号)、特願平1-314461号、特願平1-320373号、特願平2-35972号及び特願平2-35113号に開示されている。

以上の説明から、当業者であれば他の種々の変更が可能である。このような変更は、電気回路又は電子回路の設計及び使用において既知の他の特性であって上述した特徴の代りに又は加えて使用し得る特徴を含むことができる。

特開平3-4383 (12)

4. 図面の簡単な説明

第1図は既知積分回路の構成を示す回路図、

第2図は第1図の積分回路においてスイッチを作動させるために用いるクロックパルスの波形を示す説明図、

第3図は本発明積分回路の第1例の構成を示す回路図、

第4図は本発明積分回路の第2例の構成を示す回路図、

第5図は本発明積分回路の第3例の構成を示す回路図、

第6図は本発明積分回路の第4例の構成を示す回路図、

第7図は本発明積分回路の第5例の構成を示す回路図、

第8図は本発明積分回路の第6例の構成を示す回路図である。

30…入力端子

31, 35…電流源

32…正の電源ライン

33…負の電源ライン

34…出力端子

S30～S33 …スイッチ

T31～T36 …電界効果トランジスタ

C31～C33 …コンデンサ

T141, T142, S142, C142…第1電流メモリセル

T143, T144, T145, T150, T147, S143, C143…第2電流メモリセル

T146, S144, C144…第3電流メモリセル

T241, T242, S242, C242…第4電流メモリセル

T243, T245, T250, T247, S243, C243…第5電流メモリセル

T151, T152, T253…第1電流ミラー回路

T152, T153, T251…第2電流ミラー回路

80…入力端子

S80 …(サンプリング) スイッチ

81, 82, 83, 86, 87…電流源

T81, T82, S81, C81…第1電流メモリセル

T83, T84, T86, T87, S83, C83…第2電流メモリセル

T85, S85, C85 …第3電流メモリセル

S87 …(帰還) スイッチ

85…出力端子

特許出願人	エヌ	ベー	フィリップス
	フルー	イラン	ベンファブリケン
代理人弁理士	杉	村	暁 秀
同 弁理士	杉	村	興 作
同 弁理士	佐	藤	安 徳
同 弁理士	富	田	典
同 弁理士	梅	本	政 夫
同 弁理士	仁	平	孝

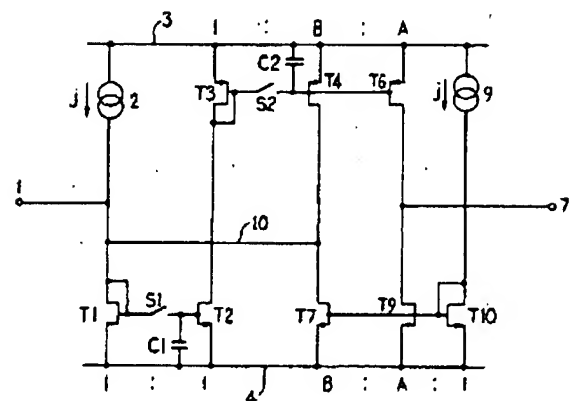


FIG. 1

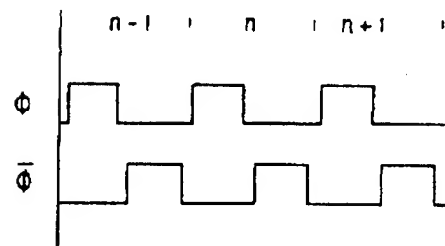


FIG. 2

特開平3-4383 (13)

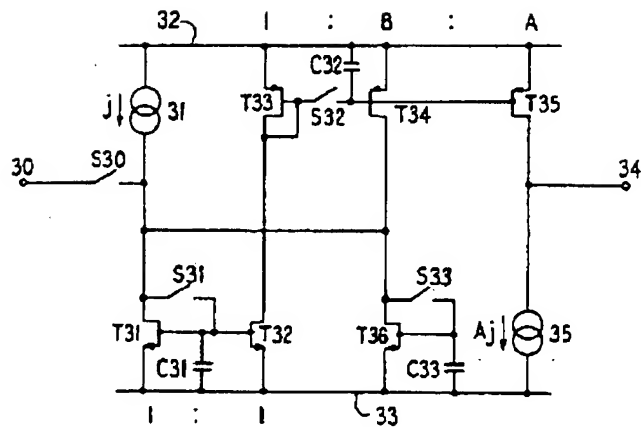


FIG. 3

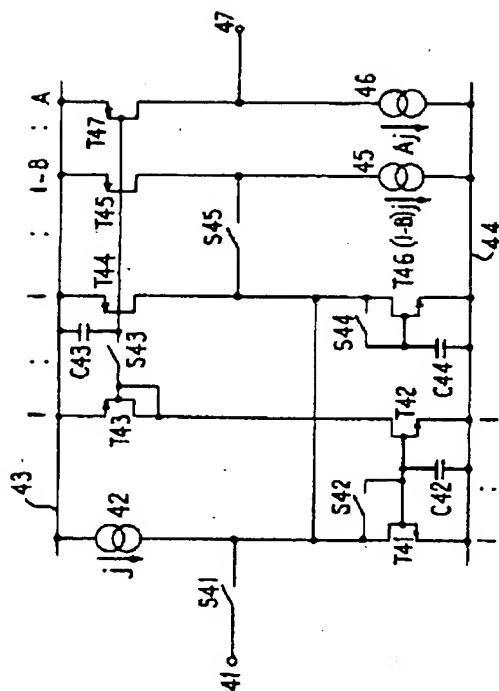


FIG. 4

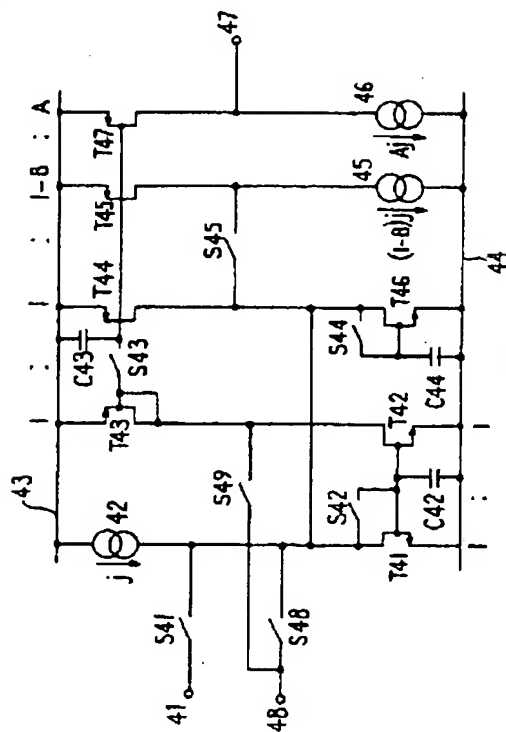


FIG. 5

特開平3-4383 (14)

